

© EPODOC / EPO

PN - JP2002033748 A 20020131
PD - 2002-01-31
PR - JP20000217463 20000718
OPD - 2000-07-18
TI - DATA TRANSMISSION METHOD AND DATA TRANSMISSION
SYSTEM
IN - SAITO TSUNEHISA
PA - TOKYO SHIBAURA ELECTRIC CO
IC - H04L12/28 ; H04J3/00 ; H04L1/00 ; H04L29/06

© WPI / DERWENT

TI - Data transmission method e.g. for ATM data involves inserting ATM
cell header between every payload binary digit
PR - JP20000217463 20000718
PN - JP2002033748 A 20020131 DW200224 H04L12/28 007pp
PA - (TOKE) TOSHIBA KK
IC - H04J3/00 ; H04L1/00 ; H04L12/28 ; H04L29/06
AB - JP2002033748 NOVELTY - An ATM cell header is inserted between
every payload binary digit.
- DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also
included for data transmission system.
- USE - For transmission of ATM data.
- ADVANTAGE - Cancellation of ATM data by burst error is reduced.
Error correction capability of HEC is sufficient. Resending data
generation is reduced. Transmission efficiency of entire ATM
network is improved.
- DESCRIPTION OF DRAWING(S) - The figure explains insertion of
header of ATM cell. (Drawing includes non-English language text).
- (Dwg.3/5)
OPD - 2000-07-18
AN - 2002-185289 [24]

© PAJ / JPO

PN - JP2002033748 A 20020131
PD - 2002-01-31
AP - JP20000217463 20000718
IN - SAITO TSUNEHISA
PA - TOSHIBA CORP
TI - DATA TRANSMISSION METHOD AND DATA TRANSMISSION

SYSTEM

- AB - PROBLEM TO BE SOLVED: To enhance the transmission efficiency of the entire ATM communication network by reducing occurrence of abort and re-transmission of ATM data due to a burst error, to increase the transmission efficiency of a wireless transmission channel.
- SOLUTION: An ATM cell 41 is separated into a header and a payload, the header is divided in the unit of 1-bit, a 1-bit header is inserted to the payload at least at an interval of 1-bit, an ATM cell 42, to which header bits are distributed among its bits of the payload is assembled and is transmitted to a wireless transmission channel 3.
- I - H04L12/28 ;H04J3/00 ;H04L1/00 ;H04L29/06

(11)特許出願公開番号
特開2002-33748
(P2002-33748A)

F I			テ-マ-ロ-ト*(参考)
H 0 4 J	3/00	B	5 K 0 1 4
H 0 4 L	1/00	F	5 K 0 2 8
	11/20	E	5 K 0 3 0
	13/00	3 0 5 C	5 K 0 3 4

Figure 1 illustrates a data structure and processing flow. Part (a) shows a data structure with a 40-byte header (412) and a 320-byte body (411). The header contains a 16-byte field (41) and a 24-byte field (42). The body contains a 16-byte field (41) and a 204-byte field (42). Part (b) shows a data structure with a 40-byte header (421) and a 320-byte body (422). The header contains a 16-byte field (41) and a 24-byte field (42). The body contains a 16-byte field (41) and a 204-byte field (42).

【特許請求の範囲】

【請求項1】 ヘッダおよびペイロードからなるATMセルを送信するデータ伝送方法において、

前記ATMセルのヘッダを、ビット単位で前記ペイロード内に分散配置して伝送することを特徴とするデータ伝送方法。

【請求項2】 前記ATMセルの伝送を無線回線を介して行い、

前記分散配置した前記ATMセルのヘッダの各ビットの間に、少なくとも前記ATMセルの誤り訂正可能ビット数以上のペイロードを介在させることを特徴とする請求項1記載のデータ伝送方法。

【請求項3】 前記ATMセルのヘッダの各ビットを、前記ATMセルの8ビット目毎に分散配置することを特徴とする請求項1記載のデータ伝送方法。

【請求項4】 k を1～10の範囲で選択した固定値、 N を1、2、・・・40から選択された値とするとき、前記ATMセルの N ビット目のヘッダが前記ATMセルの $(1+k(N-1))$ ビット目に位置するように分散配置することを特徴とする請求項1記載のデータ伝送方法。

【請求項5】 前記ATMセルのペイロードは、暗号化して伝送されることを特徴とする請求項1記載のデータ伝送方法。

【請求項6】 ヘッダおよびペイロードからなるATMセルを送信側装置から受信側装置へ伝送するデータ伝送システムにおいて、

前記送信側装置は、

ATMセルのヘッダをビット単位で前記ATMセルのペイロード内に分散配置して伝送用ATMセルに変換するフォーマット変換手段と、

前記伝送用ATMセルを無線フレームに書込み伝送する無線フレーム伝送手段とを具備し、

前記受信側装置は、

前記無線フレーム伝送手段により伝送された無線フレームを受信する無線フレーム受信手段と、

前記無線フレーム受信手段により受信した無線フレームから前記伝送用ATMセルを取り出すATMセル取出手段と、

前記ATMセル取出手段により取り出した前記伝送用ATMセルの前記分散配置されたヘッダ部を集めて通常のATMセルに復元するATMセル復元手段とを具備することを特徴とするデータ伝送システム。

【請求項7】 前記送信側装置は、

入力データをATMセルに組み立てるATMセル組立手段と、

ATMセルを交換するATMスイッチと、

前記ATMスイッチから出力されるATMセルのペイロードを暗号化する暗号化手段とを更に具備することを特徴とする請求項6記載のデータ伝送システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、データ伝送方法およびデータ伝送システムに関し、特に、無線伝送路に特有のバースト誤りによるATM伝送データの破棄および再送の発生を低減したデータ伝送方法およびデータ伝送システムに関する。

【0002】

【従来の技術】ディジタル信号の伝送方法として、非同期転送モード(Asynchronous Transfer Mode、以下ATMと称する)と称される伝送方法がある。

【0003】このATMによる伝送方法は、非同期で各種ディジタルデータの伝送を行うものであり、送信側の端末から受信側の端末へ送る情報を48バイトに区切り、宛先ラベル情報を含む5バイトのヘッダを付加し、合計53バイトのATMセルと呼ばれる単位で情報を送信する。

【0004】このATMセルの構成を図5に示す。一般に、1単位のATMセルは、図5(a)のように、53バイトの固定長ブロックで構成され、先頭の5バイトがヘッダで、続く48バイトが情報領域(ペイロード)となっている。

【0005】図4(b)に、このATMセルのフォーマットの詳細を示す。

【0006】ATMセルの第1オクテットから第5オクテットまでの先頭5バイトを占めるヘッダは、ATMセルを多重化したり、ルーティングしたりするために用いられる情報が格納される。

【0007】すなわち、このATMセルのヘッダの第1オクテットの前半4ビットが一般的フロー制御(GFC)のビット、第1オクテットの後半4ビットと第2オクテットの前半4ビットの計8ビットが仮想パス識別子(VPI)のビット、第2オクテットの後半の4ビットから第4オクテットの前半の4ビットまでの16ビットが仮想チャネル識別子(VCI)のビット、第4オクテットの3ビットがペイロードタイプ(PT)のビット、第4オクテットの1ビットがセル損失優先表示(CL P)のビット、第5オクテットの8ビットがヘッダ誤り制御(Header Error Control、以下HECと称す)のビットとなっている。

【0008】HECは、誤り検出信号である巡回符号(Cyclic Redundancy Check、以下CRCと称す)で構成され、このHECにより行える誤り訂正は1ビットのみである。

【0009】ここで、従来、ATMセル伝送を行うために開発されているATM通信網は、有線で構成され、しかも、光ファイバケーブルなどの回線品質の良い信号線で構成されている。このため、伝送路を流れるATMセルのヘッダで連続する複数ビットに一度に誤りを生じることが稀であり、従って、上記のHECで十分に伝送デ

一タの品質を保つことができた。

【0010】

【発明が解決しようとする課題】ところが、種々の要因から伝送エラーの生じる可能性の高い無線伝送路では、無線フレーム自体に施されている誤り訂正手段の能力を加味しても、従来ATMセルが持ち合わせているHECでは誤り訂正能力が十分ではない。

【0011】特に、無線伝送路に特有のバースト誤りが生じた場合など、ヘッダの複数ビットを一度に誤る可能性が高く、このような場合、1ビットの誤りしか訂正できないHECでは復旧できないため、このヘッダに誤りの生じたデータは破棄されることとなる。

【0012】ここで、誤りの発生したデータが、音声や動画画像等の実時間性の高いCBR(Constant Bit Rate)データであれば、データ破棄後の再送は行わないため、受信側において多少の音声劣化等の影響が出るだけで済むが、パケットデータ等のデータでは完全な内容の転送が要求されるため、正常に転送されなかったデータの再送が必要となる。

【0013】この再送が頻繁に発生すると、伝送帯域が圧迫されて無線伝送路の伝送効率が悪化し、しいてはATM網全体の伝送効率が悪くなるという問題が生じる。

【0014】そこで、この発明は、ATMセルのヘッダに一度に複数ビットの誤りを生じることを簡単な手法により防ぐことを目的とする。

【0015】また、バースト誤りの発生したATMセルのHECによる救済を可能にし、無線伝送路でのATM伝送データの破棄および再送の発生を低減して伝送効率の向上を図ったデータ伝送方法およびデータ伝送システムを提供することを目的とする。

【0016】

【課題を解決するための手段】この発明のデータ伝送方法は、ヘッダおよびペイロードからなるATMセルを送送するデータ伝送方法において、前記ATMセルのヘッダを、ビット単位で前記ペイロード内に分散配置して伝送することを特徴とする。

【0017】ここで、前記ATMセルの伝送を無線回線を介して行い、前記分散配置した前記ATMセルのヘッダの各ビットの間に、少なくとも前記ATMセルの誤り訂正可能ビット数以上のペイロードを介在させることを特徴とする。

【0018】つまり、一般のATMセルにおいては、誤り訂正可能ビット数が1ビットであるので、伝送に用いるATMセルのヘッダを2ビット以上連続して配置しないように再配置する。これにより、バースト誤りが発生しても、ヘッダの複数ビットを一度に誤る事態が低減する。

【0019】ここで、ヘッダの分散方法として、前記ATMセルのヘッダの各ビットを、前記ATMセルの8ビ

【0020】さらに、上記ヘッダの分散方法を一般化して、 k を1~10の範囲で選択した固定値、 N を1、2、...40から選択された値とするとき、前記ATMセルの N ビット目のヘッダが前記ATMセルの $(1+k(N-1))$ ビット目に位置するように分散配置することを特徴とする。

【0021】このような方法により、ヘッダの各ビットの間に k ビットのペイロードが介在するATMセルが構成される。なお、 k は、伝送路の回線品質の良し悪しによって任意に選択できるように伝送システムを構成するのが好ましい。

【0022】ここで、前記ATMセルのペイロードを暗号化して伝送することができる。

【0023】また、この発明のデータ伝送システムは、ヘッダおよびペイロードからなるATMセルを送信側装置から受信側装置へ伝送するデータ伝送システムにおいて、前記送信側装置は、ATMセルのヘッダをビット単位で前記ATMセルのペイロード内に分散配置して伝送用ATMセルに変換するフォーマット変換手段と、前記伝送用ATMセルを無線フレームに書き込み伝送する無線フレーム伝送手段とを具備し、前記受信側装置は、前記無線フレーム伝送手段により伝送された無線フレームを受信する無線フレーム受信手段と、前記無線フレーム受信手段により受信した無線フレームから前記伝送用ATMセルを取り出すATMセル取出手段と、前記ATMセル取出手段により取り出した前記伝送用ATMセルの前記分散配置されたヘッダ部を集めて通常のATMセルに復元するATMセル復元手段とを具備することを特徴とする。

【0024】ここで、前記送信側装置は、入力データをATMセルに組み立てるATMセル組立手段と、ATMセルを交換するATMスイッチと、前記ATMスイッチから出力されるATMセルのペイロードを暗号化する暗号化手段とを更に具備することを特徴とする。

【0025】

【発明の実施の形態】以下、この発明に係るデータ伝送方法およびデータ伝送システムの実施の形態を添付図面を参照して詳細に説明する。

【0026】図1は、この発明に係るデータ伝送システムの一実施例を示すブロック図である。

【0027】図1において、送信側装置1は、ATMセルの組み立ておよび分解を行うCLAD(Cell Assembly and Disassembly)11、ATMスイッチ12、セルフォーマット変換部13、無線フレーム書き込み部14、無線伝送部15を具備して構成され、また、受信側装置2は、無線伝送部21、ATMセル抽出部22、セルフォーマット変換部23を具備して構成され、送信側装置1と受信側装置2との間は無線伝送路3で接続される。

【0028】上記構成において、送信側装置1は、TD

びATM網から送られてくるATMセルを入力し、TDM回線若しくはイーサ回線から送られてくるデータは、CLAD11によりATMセル化され、ATM網から送られてくるATMデータとともにATMスイッチ12で次の伝送路にルーティングされる。

【0029】ATMスイッチ12でルーティングされたATMセルは、まず、セルフフォーマット変換部13でヘッダがビット単位でペイロード内に分散配置した後に詳述する無線回線伝送用のATMセルに変換され、このATMセルが無線フレーム書込み部14で無線フレームにのせられて、無線伝送部15より無線伝送路3を介して受信側装置2へ送信される。

【0030】受信側装置2では、送信側装置1から送信された無線フレームを受信し、この無線フレームから、ATMセル抽出部22でATMセルを取り出し、セルフフォーマット変換部23でペイロード内にヘッダが分散配置されたATMセルからヘッダをセル先頭5バイトに集めて通常のATMセルに復元する。

【0031】図2は、図1に示したセルフフォーマット変換部13の回路例を示すブロック図である。

【0032】図2において、セルフフォーマット変換部13は、セル分離部131、ヘッダ格納バッファ132、ペイロード格納バッファ133、ペイロード暗号化部134、バッファ読出／セル組立部135から構成される。

【0033】ここで、セル分離部131は、ATMスイッチから受信したATMセルをヘッダとペイロードとに分離し、分離したヘッダとペイロードを、ヘッダ格納バッファ132およびペイロード格納バッファ133に対してそれぞれ出力する。

【0034】ヘッダ格納バッファ132およびペイロード格納バッファ134は、セル分離部131で分離されたヘッダとペイロードをそれぞれ一時的に格納する。

【0035】バッファ読出／セル組立部135は、ヘッダ格納バッファ132およびペイロード格納バッファ133から、後述する規則に基づいてヘッダおよびペイロードの読み出しを行うとともに、読み出した順にビットを並べ、ATMセルのビット配列を変更する。この時、ペイロード格納バッファ133から読み出されるデータは、ペイロード暗号化部134にて暗号化される。

【0036】上記のように構成した送信側装置1のセルフフォーマット変換部13でのATMセルのビット配列が再置変換される様子を、図2、図3によりさらに説明する。

【0037】図3(a)に示すように、ヘッダ411がATMセルの先頭5バイトに一括して配置されるATMセル41が、セルフフォーマット変換部13に入力されると、まず、このATMセル41は、ヘッダ411とペイロード412とに分離され、それぞれヘッダ格納バッ

れる。

【0038】次に、バッファ読出／セル組立部135は、例えば、ヘッダ格納バッファ132からヘッダを1ビット読み出すごとにペイロード格納バッファ133からペイロードを7ビット読み出し、この読み出した順にビットを配列し、ヘッダ格納バッファ132に読み出すヘッダがなくなるとペイロード格納バッファ133に残った全てのペイロードを読み出して続けて配置し、伝送用のATMセル42を組み立てる。なお、ペイロード格納バッファ133から読み出されたペイロードは、ペイロード暗号化部134にて暗号化される。

【0039】このような操作により、セルフフォーマット変換部13からは、図3(b)のように、ヘッダの各ビットが8ビット毎に分散配置した伝送用のATMセル42が出力される。

【0040】この伝送用のATMセル42は、ヘッダの各ビットの間に7ビットのペイロードが介在するため、8ビットまでのバースト誤りならば、ヘッダに2ビット以上の誤りを一度に生じることはない。

【0041】従って、無線伝送路に特有のバースト誤りに対して、ATMセルのヘッダに一度に2ビット以上の誤りを生じる確立が低くなり、従来持ち合わせているHECによる誤り訂正が十分に機能し、データを破棄するような状況が低減する。

【0042】ここで、ヘッダの分散方法は図3に示した構成に限らず、「 k を1～10の範囲で選択した固定値、 N を1、2、・・・40から選択された値とすると、ATMセルの N ビット目のヘッダが前記ATMセルの $(1+k(N-1))$ ビット目に位置するように分散配置する」手法に一般化できる。

【0043】この定義に従い、回路上では、ヘッダ格納バッファ132から1ビットのヘッダを読み出すごとにペイロード格納バッファ133からペイロード暗号化部を介して k ビットのペイロードを暗号化して読み出し、読み出した順にビットを配列してヘッダの各ビットの間に k ビットのペイロードが介在するATMセルが構成される。

【0044】例えば、図4(a)は、 $k=8$ としたときに構成されるATMセルであり、9ビットまでのバースト誤りにHECにて対応できる。

【0045】また、比較的伝送品質の良い伝送路であれば、 $k=3$ として、図4(b)のようなビット配列のセルを構成することもできる。この場合、4ビット以下のバースト誤りに対応できる。

【0046】このように、 k を選択可能に設定することで、無線区間の伝送品質に合わせて適切なヘッダの分散を行うことができる。

【0047】なお、受信側装置2のセルフフォーマット変換部23は、ヘッダが分散化したATMセルを、通常の

【0048】すなわち、セルフフォーマット変換部23においては、受信したATMセルから分散配置しているヘッダの各ビットをセル先頭部から順に抽出し、抽出したヘッダとペイロードとをそれぞれヘッダ格納バッファおよびペイロード格納バッファに出力し、その後、ヘッダ格納バッファからヘッダを全て読み出し、続いて、ペイロード格納バッファからペイロードを読み出し、この読み出した順にビットを配列して、ヘッダが先頭部に一括して配置される通常のATMセルを組み立てる。なお、ペイロードは、ペイロード格納バッファから読み出される際に復号化される。

【0049】

【発明の効果】以上説明したように、この発明によれば、ヘッダをビット単位でペイロード内に分散配置したATMセルを無線伝送路に伝送するので、バースト誤りによってヘッダに2ビット以上の誤りを生じる確率が低くなり、従って、HECによる誤り訂正能力が十分に機能するため、伝送データの破棄および再送の発生が低減して無線区間の伝送効率が向上し、ATM網全体の伝送効率の向上を図ることができる。

【図面の簡単な説明】

【図1】この発明に係るデータ伝送システムの一実施例を示すブロック図である。

【図2】図1に示したセルフフォーマット変換部13の回路例を示すブロック図である。

【図3】図2に示したセルフフォーマット変換部13によるATMセルのヘッダ分散化の一例を説明する図である。

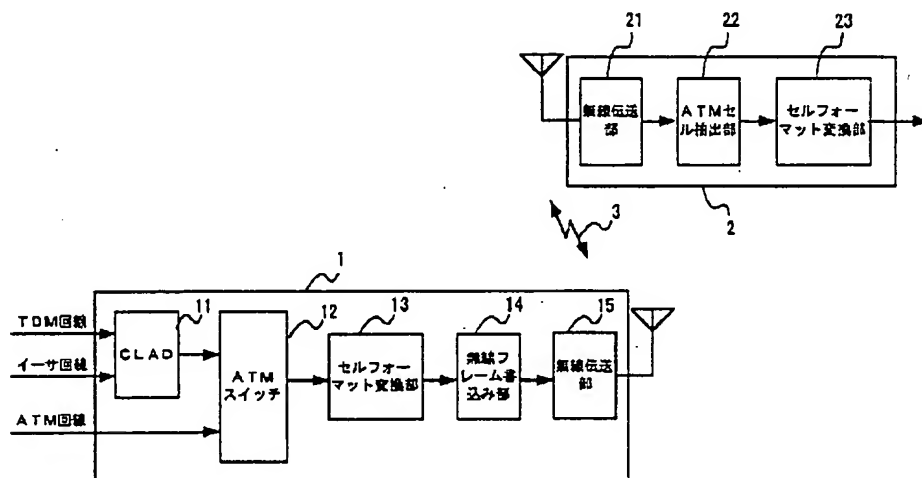
【図4】図2に示したセルフフォーマット変換部13によるATMセルのヘッダ分散化の他の例を説明する図である。

【図5】通常のATMセルの構成を示す図である。

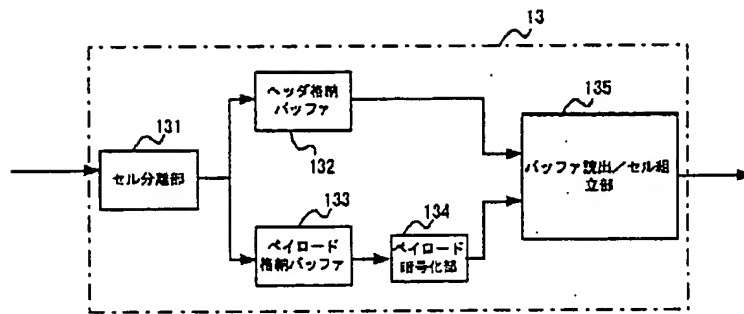
【符号の説明】

- 1 送信側装置
- 2 受信側装置
- 3 無線伝送路
- 11 CLAD
- 12 ATMスイッチ
- 13、23 フォーマット変換部
- 14 無線フレーム書込み部
- 15、21 無線伝送部
- 22 ATMセル抽出部
- 131 セル分離部
- 132 ヘッダ格納バッファ
- 133 ペイロード格納バッファ
- 134 ペイロード暗号化部
- 135 バッファ読出/セル組立部
- 41、42 ATMセル
- 411、421 ヘッダ
- 412、422 ペイロード

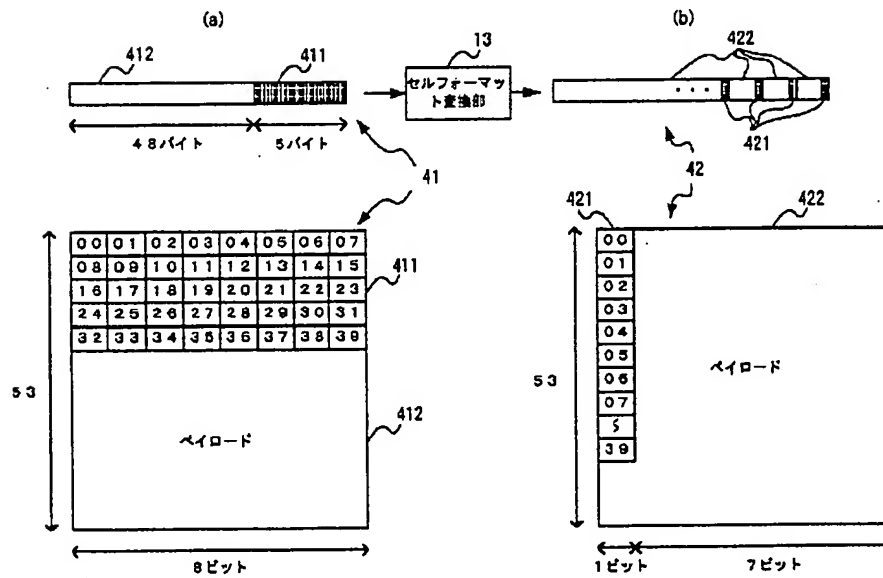
【図1】



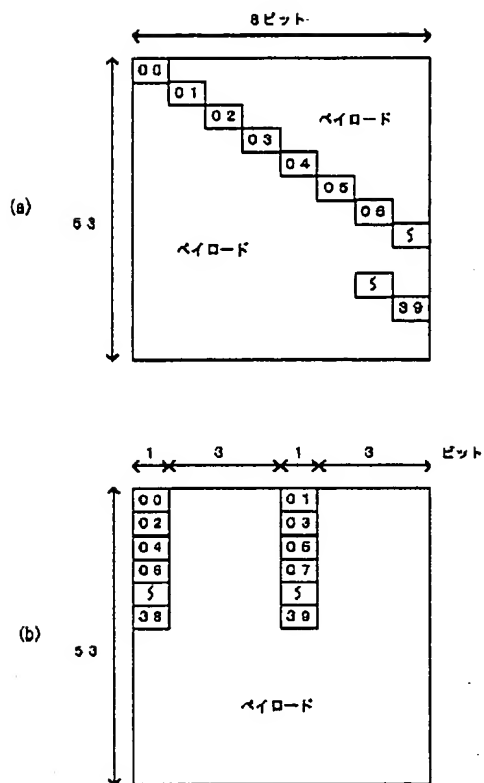
【図2】



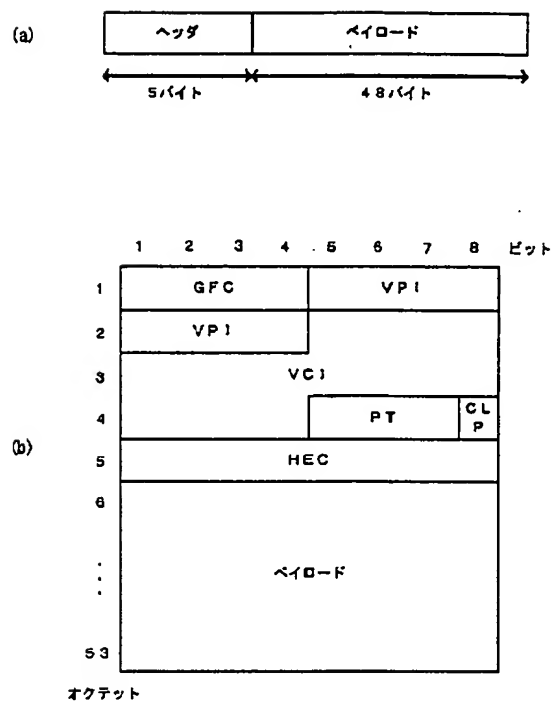
【図3】



【図4】



【図5】



フロントページの続き

Fターム(参考) 5K014 BA06 FA16 HA10
 5K028 AA11 AA14 BB04 KK01 KK16
 KK18 KK35 MM05 RR04
 5K030 GA11 GA15 HA10 HB13 JA01
 JA06 LA01
 5K034 AA01 AA06 HH01 HH09 HH12
 HH18 HH63 MM01 MM25 PP03